

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-97570

(43) 公開日 平成9年(1997)4月8日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J 11/00			H 0 1 J 11/00	K
G 0 9 G 3/28		4237-5H	G 0 9 G 3/28	E
		4237-5H		K
H 0 1 J 11/02			H 0 1 J 11/02	B

審査請求 未請求 請求項の数11 F D (全 12 頁)

(21) 出願番号 特願平7-279661

(22) 出願日 平成7年(1995)10月2日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 金澤 義一

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 長岡 慶真

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 松本 眞吉

最終頁に続く

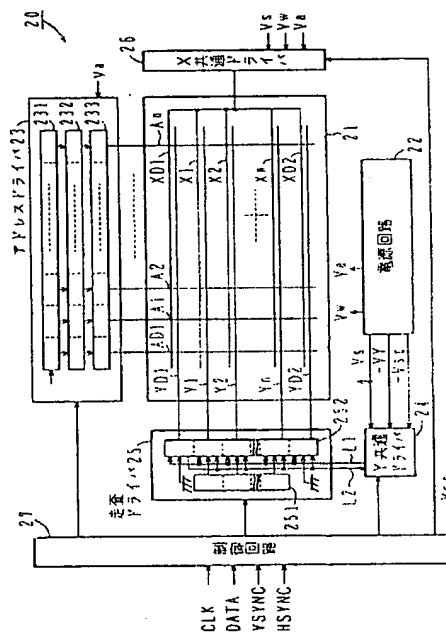
(54) 【発明の名称】 プラズマディスプレイパネル及びその駆動方法並びにプラズマディスプレイ装置

(57) 【要約】

【課題】 より効果的に有効表示領域境界付近の偶発的な誤放電を防止する。

【解決手段】 誤放電が生ずる電荷の転送先である、アドレス電極方向に存在する有効表示領域外に設けたダミー電極で放電させて、転送先に蓄積される壁電荷を中和させる。アドレス期間において、ダミー電極の走査を行わない。ダミー電極を用いずに、走査の方向をサブフィールド毎に逆にすることにより、転送先に蓄積される電荷の極性を逆にして中和させる。アドレス電極Aの、有効表示領域境界付近外側部分を、放電空間内に露出させることにより、アドレス電極方向に転送されて有効表示領域境界付近に蓄積しようとした電荷を、アドレス電極を通して排出させる。この露出の替わりに、この付近の誘電体上に導電性膜を被着してもよい。

本発明の第1実施形態のプラズマディスプレイ装置の概略構成を示すブロック図



【特許請求の範囲】

【請求項1】 第1基板に電極X及び電極Yが、表示ライン毎及び該表示ラインと直角な方向に存在する有効表示領域外に、互いに平行に配置され、該第1基板又は該第1基板と対向する第2基板に電極Aが該電極X及び該電極Yと離間して交差するように配置され、該電極X及び該電極Yの表面が誘電体で被われたプラズマディスプレイパネルと、

該有効表示領域外の電極X－電極Y間で、壁電荷を消去させるための放電を行わせる駆動回路とを有することを特徴とするプラズマディスプレイ装置。

【請求項2】 上記駆動回路は、

全ての電極X－電極Y間で壁電荷を消去させるための消去放電を行わせ、

該消去放電の後で、有効表示領域内についてのみ該電極Yを順に走査して選択電圧を該電極Yに印加し、非選択及び該有効表示領域外の電極Yに非選択電圧を印加し、該選択毎に、表示データに応じて選択的に書き込み電圧を該電極Aに印加して放電させることにより、維持放電に必要な壁電荷を生成させ、

該書き込み放電の後で、該有効表示領域外の電極X及び電極Yも含めて、電極X－電極Y間に交流維持パルスを印加することを特徴とする請求項1記載のプラズマディスプレイ装置。

【請求項3】 第1基板に電極X及び電極Yが、表示ライン毎に互いに平行に配置され、該第1基板又は該第1基板と対向する第2基板に電極Aが該電極X及び該電極Yと離間して交差するように配置され、該電極X及び該電極Yの表面が誘電体で被われたプラズマディスプレイパネルと、

駆動回路とを有し、該駆動回路は、

選択及び非選択の該電極Yにそれぞれ選択電圧及び非選択電圧を印加し、該電極Yの選択を順に走査し、該選択毎に、表示データに応じて選択的に該電極Aに書き込み電圧を印加して放電させることにより、維持放電に必要な壁電荷を生成させ、該走査の方向をサブフィールド単位で一方又は他方向とし、

該書き込み放電の後で、電極X－電極Y間に交流維持パルスを印加することを特徴とするプラズマディスプレイ装置。

【請求項4】 上記駆動回路は、上記走査の方向をサブフィールド毎に逆にすることを特徴とする請求項3記載のプラズマディスプレイ装置。

【請求項5】 第1シフトレジスタと、

第2シフトレジスタと、

選択信号に応じて、該第1シフトレジスタの並列出力と該第2シフトレジスタの並列出力との一方を選択するセレクトと、

該セレクトの出力に応じて上記電極Yに上記選択電圧及び上記非選択電圧を印加するYドライバとを有し、該セ

レクトの出力のシフト方向が該選択信号に応じて逆方向になるように、該第1シフトレジスタ及び該第2シフトレジスタの並列出力端が該セレクトのデータ入力端に接続されていることを特徴とする請求項3又は4記載のプラズマディスプレイ装置。

【請求項6】 第1基板に電極X及び電極Yが、表示ライン毎及び該表示ラインと直角な方向に存在する有効表示領域外に、互いに平行に配置され、該第1基板又は該第1基板と対向する第2基板に電極Aが該電極X及び該電極Yと離間して交差するように配置され、該電極X及び該電極Yの表面が誘電体で被われたプラズマディスプレイパネルと、

該有効表示領域外の電極X－電極Y間で維持パルスを供給する駆動回路とを有することを特徴とするプラズマディスプレイ装置。

【請求項7】 第1基板に電極X及び電極Yが、表示ライン毎に存在する有効表示領域外に、互いに平行に配置され、該第1基板又は該第1基板と対向する第2基板に電極Aが該電極X及び該電極Yと離間して交差するように配置され、有効表示領域内の該電極X及び該電極Yの表面が誘電体で被われたプラズマディスプレイパネルであって、

該電極Aの、有効表示領域外の有効表示領域内側部分が、放電空間内に露出していることを特徴とするプラズマディスプレイパネル。

【請求項8】 第1基板に電極X及び電極Yが、表示ライン毎に存在する有効表示領域外に、互いに平行に配置され、該第1基板又は該第1基板と対向する第2基板に電極Aが該電極X及び該電極Yと離間して交差するように配置され、有効表示領域内の該電極X及び該電極Yの表面が誘電体で被われたプラズマディスプレイパネルであって、

該電極Aの上方の該誘電体上かつ有効表示領域外の有効表示領域内側部分に、導電性膜が被着されていることを特徴とするプラズマディスプレイパネル。

【請求項9】 請求項7又は8記載のプラズマディスプレイパネルと、

駆動回路とを有し、該駆動回路は、

選択及び非選択の該電極Yにそれぞれ選択電圧及び非選択電圧を印加し、該電極Yの選択を順に走査し、該選択毎に、表示データに応じて選択的に該電極Aに書き込み電圧を印加して放電させることにより、維持放電に必要な壁電荷を生成させ、

該書き込み放電の後で、電極X－電極Y間に交流維持パルスを印加することを特徴とするプラズマディスプレイ装置。

【請求項10】 第1基板に電極X及び電極Yが、表示ライン毎及び該表示ラインと直角な方向に存在する有効表示領域外に、互いに平行に配置され、該第1基板又は該第1基板と対向する第2基板に電極Aが該電極X及び

該電極Yと離間して交差するように配置され、該電極X及び該電極Yの表面が誘電体で被われたプラズマディスプレイパネルに対する駆動方法において、

該有効表示領域外の電極X-電極Y間で、壁電荷を消去させるための放電を行わせることを特徴とするプラズマディスプレイパネル駆動方法。

【請求項11】 第1基板に電極X及び電極Yが、表示ライン毎に互いに平行に配置され、該第1基板又は該第1基板と対向する第2基板に電極Aが該電極X及び該電極Yと離間して交差するように配置され、該電極X及び該電極Yの表面が誘電体で被われたプラズマディスプレイパネルに対する駆動方法において、
選択及び非選択の該電極Yにそれぞれ選択電圧及び非選択電圧を印加し、該電極Yの選択を順に走査し、該選択毎に、表示データに応じて選択的に該電極Aに書き込み電圧を印加して放電させることにより、維持放電に必要な壁電荷を生成させ、該走査の方向をサブフィールド単位で一方向又は他方向とし、
該書き込み放電の後で、電極X-電極Y間に交流維持パルスを印加することを特徴とするプラズマディスプレイパネル駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイパネル及びその駆動方法並びにプラズマディスプレイ装置に関する。

【0002】

【従来の技術】プラズマディスプレイパネル(PDP)は、自己発光型であるので視認性が良く、薄型で大画面表示及び高速表示が可能であることから、CRTに替わる表示パネルとして注目されている。特に面放電AC型PDPは、フルカラー表示に適しており、ハイビジョン分野で期待され、高画質化が要求されている。

【0003】図10は、PDPのカラー画素10の対向面間を広げた状態を示す。図11は、カラー画素10の、電極X1に沿った縦断面を示す。ガラス基板11の一面には、ITO膜等の透明電極121及び122が互いに平行に配置され、銅等の金属電極131及び132がそれぞれ透明電極121及び122上に形成されている。透明電極121と金属電極131とで電極X1が構成され、透明電極122と金属電極132とで電極Y1が構成されている。電極X1及び電極Y1上には、壁電荷保持用の誘電体14が被着され、さらにその上にMgO保護膜15が被着されている。

【0004】一方、ガラス基板16の、MgO保護膜15と対向する面には、電極X1及び電極Y1と離間して直交する方向に、アドレス電極A1、A2、A3及びこれらの間を仕切る隔壁171~173が形成されている。隔壁171、172、172及び173の隣合う間にはそれぞれ、放電により生じた紫外線が入射して3原

色の赤R、緑G及び青Bを発光する蛍光体181、182及び183が被着されている。蛍光体181~183とMgO保護膜15との間の放電空間には、例えばNe+電極Xeベニング混合ガスが封入されている。図10中、一点鎖線で示す領域RA、GA及びBAはそれぞれ、赤色、緑色及び青色の単色画素領域を示す。

【0005】図9は、このような単色画素をマトリックス状に備えたPDPの概略構成を示す。PDPは、有効表示領域を形式的に拡張することにより、有効表示領域内の電極Y1~Y10、電極X1~X10及びアドレス電極A1~A14の外側に、ダミーの電極XD1、YD1、XD2、YD2及びダミーのアドレス電極AD1及びAD2が形成されている。PDPは、放電空間内にガスが封入されているので、端部が封止されている。ダミー電極を形成するのは、形成しないと周部と内側とで寸法や特性が異なって画質が低下するので、これを防止するためである。図9では簡単化のために、有効表示領域外の各辺に沿った電極を、1ライン分のみ示しているが、実際には数十ライン形成されている。

【0006】ダミー画素は表示画素と同一構成であり、有効表示領域内の放電に影響されて誤放電が生じ、画質が低下する原因となる。そこで、従来では、有効表示領域外のガラス基板11上に遮光層を形成したり、有効表示領域外の誘電体14を厚くし(特開平4-223025号)又は隣接する電極で制限される範囲で放電ギャップを広げて(特開平5-114362号)、誤放電を抑制する手段が提案されている。

【0007】

【発明が解決しようとする課題】しかし、これらの手段は、誤放電が生ずる原因に適切に対処したものではないので、誤放電による発光を十分に低減することができない。本発明の目的は、このような問題点に鑑み、誤放電が生ずる原因に着目して、より効果的に有効表示領域境界付近の偶発的な誤放電を防止することができるプラズマディスプレイパネル及びその駆動方法並びにプラズマディスプレイ装置を提供することにある。

【0008】

【課題を解決するための手段及びその作用効果】本発明は、有効表示領域境界付近で誤放電が生ずる原因を考察して案出されたものであり、まず、図12に基づいてこの誤放電が生ずると考えられる原因を説明する。アドレス放電は、第1表示行から順に行われる。すなわち、アドレス放電は、まずアドレス電極A1と電極Y1との間で行われ、次にアドレス電極A1と電極Y2との間で行われ、次にアドレス電極A1と電極Y3との間で行われ、以下同様に行われる。走査開始前に、例えば電極Xに50Vが印加され、電極Yに-50Vが印加され、アドレス電極Aに0Vが印加される。電極A-Y間の放電開始電圧は、例えば190Vである。

【0009】次に、電極Y1に例えば-150Vの走査

パルスが印加され、同時にアドレス電極A1に例えば50Vのアドレスパルスが印加される。これにより、電極A1-Y1間で放電され、この放電にトリガされて電極X1-Y1間で放電する。このようなアドレス放電により生じた空間電荷のうち、電子はアドレス電極A1側及び電極X1側に引かれ、正イオンは電極Y1側に引かれ、アドレス電極A1側の蛍光体181上及び電極X1側のMgO保護膜15上に負の壁電荷が蓄積され、電極Y1側のMgO保護膜15上に正の壁電荷が蓄積されて、(A)に示すような状態になる。

【0010】次に、第2表示ラインで同様のアドレス放電が生じ、(B)に示すような状態になる。この放電の際、第1表示行の空間に、再結合されずに残った正イオンが、比較的高い電極X1-Y2間の電圧により電極Y2側に引き込まれる。このような動作が第3表示行以下においても、点灯しようとする画素について行われ、正イオンがアドレス電極A1に沿って最終表示ライン方向へ転送されることになる。その結果、電極Y1付近には、平均として、負の過剰な壁電荷が蓄積（負電荷の実質的な逆方向転送による蓄積）されることになる。特に蛍光体181上の電極XD1側の壁電荷は、電極Y1-X1間の維持放電又は全面書き込み放電／全面自己消去放電によって電荷が中和される領域から外れるため、負の電荷が蓄積された状態を維持する。その蓄積量が、PDPの特性によって定まる値を越えた時点で、蛍光体181上の電極XD1側と、隣接する最も高い電圧の電極との間で、放電が開始される。

【0011】例えば、アドレス期間において、アドレス電極A1に100Vが印加され、電極Y1に180Vの維持パルスが印加されたとき、(C)に示すように、アドレス電極A1を陽極とし電極Y1を陰極とする放電が開始され、これを種火として、(D)に示すように電極X1-Y1間の放電に移行する。このような誤放電は、全ての電極間の印加電圧が0Vになるタイミングであっても、壁電圧の蓄積により生じ得る。また、この誤放電は、電極Xと電極Yとを逆に配置した場合でも同様に生ずる。

【0012】以下の本発明は、以上のような誤放電が生ずる原因に着目して、誤放電が効果的に防止されるように案出されたものである。第1発明に係るプラズマディスプレイ装置では、第1基板に電極X及び電極Yが、表示ライン毎及び該表示ラインと直角な方向に存在する有効表示領域外に、互いに平行に配置され、該第1基板又は該第1基板と対向する第2基板に電極Aが該電極X及び該電極Yと離間して交差するように配置され、該電極X及び該電極Yの表面が誘電体で被われたプラズマディスプレイパネルと、該有効表示領域外の電極X-電極Y間で、壁電荷を消去させるための放電を行わせる駆動回路とを有する。

【0013】この第1発明によれば、誤放電の原因とな

る電荷の転送先である、表示ラインと直角な方向に存在する有効表示領域外のダミー電極について、壁電荷を消去させるための放電、例えば、書込放電及びこれに続く消去放電又は維持パルスの印加による放電が行われるので、この転送先に蓄積される壁電荷が中和されて、偶発的な誤放電が防止されるという効果を奏する。

【0014】第1発明の第1態様では、上記駆動回路は、全ての電極X-電極Y間で壁電荷を消去させるための消去放電を行わせ、該消去放電の後で、有効表示領域内についてのみ該電極Yを順に走査して選択電圧を該電極Yに印加し、非選択及び該有効表示領域外の電極Yに非選択電圧を印加し、該選択毎に、表示データに応じて選択的に書き込み電圧を該電極Aに印加して放電させることにより、維持放電に必要な壁電荷を生成させ、該書き込み放電の後で、該有効表示領域外の電極X及び電極Yも含めて、電極X-電極Y間に交流維持パルスを印加する。

【0015】この第1態様によれば、ダミー電極についてはアドレス電極方向の電荷転送の原因となる走査が行われないので、誤放電の原因となる電荷の転送がダミー電極付近で止められ、この転送先に蓄積される壁電荷が放電により効果的に中和されて、偶発的な誤放電が防止されるという効果を奏する。また、駆動回路は、ダミー電極についてアドレス期間で非選択になるように簡略化するだけでよいので、特別な構成の回路を付加したり特別なデータを供給する必要がないという効果を奏する。

【0016】さらに、プラズマディスプレイパネルの製造においては、アドレス電極の有効表示領域境界付近の誤放電を防止するための特別な工程を必要とせず、量産性に適している。第2発明に係るプラズマディスプレイ装置では、第1基板に電極X及び電極Yが、表示ライン毎に互いに平行に配置され、該第1基板又は該第1基板と対向する第2基板に電極Aが該電極X及び該電極Yと離間して交差するように配置され、該電極X及び該電極Yの表面が誘電体で被われたプラズマディスプレイパネルと、駆動回路とを有し、該駆動回路は、選択及び非選択の該電極Yにそれぞれ選択電圧及び非選択電圧を印加し、該電極Yの選択を順に走査し、該選択毎に、表示データに応じて選択的に該電極Aに書き込み電圧を印加して放電させることにより、維持放電に必要な壁電荷を生成させ、該走査の方向をサブフィールド数の整数倍毎に前回と逆にし、該書き込み放電の後で、電極X-電極Y間に交流維持パルスを印加し、この第2発明によれば、走査方向を逆転させることにより、互いに反対方向の正イオンと電子の電荷転送方向が逆転するので、アドレス電極に沿って転送され有効表示領域境界付近で留まった壁電荷が異常に蓄積される前に中和され、偶発的な誤放電が生ずるのを効果的に防止することができるという効果を奏する。

【0017】また、ダミー電極に対するパワー駆動回路

を備える必要がないので、第1発明よりも製造コスト及び消費電力を低減できる。第2発明の第1態様では、上記駆動回路は、上記走査の方向をサブフィールド毎に逆にする。第2発明の第2態様では、第1シフトレジスタと、第2シフトレジスタと、選択信号に応じて、該第1シフトレジスタの並列出力と該第2シフトレジスタの並列出力との一方を選択するセレクトと、該セレクトの出力に応じて上記電極Yに上記選択電圧及び上記非選択電圧を印加するYドライバとを有し、該セレクトの出力のシフト方向が該選択信号に応じて逆方向になるように、該第1シフトレジスタ及び該第2シフトレジスタの並列出力端が該セレクトのデータ入力端に接続されている。

【0018】この第2態様によれば、表示ラインの走査方向を容易に変えることができるという効果を奏する。第3発明に係るプラズマディスプレイ装置では、第1基板に電極X及び電極Yが、表示ライン毎及び該表示ラインと直角な方向に存在する有効表示領域外に、互いに平行に配置され、該第1基板又は該第1基板と対向する第2基板に電極Aが該電極X及び該電極Yと離間して交差するように配置され、該電極X及び該電極Yの表面が誘電体で被われたプラズマディスプレイパネルと、該有効表示領域外の電極X-電極Y間で維持パルスを供給する駆動回路とを有する。

【0019】この第3発明によれば、誤放電の原因となる電荷の転送先である、表示ラインと直角な方向に存在する有効表示領域外のダミー電極について、アドレス電極上に蓄積された壁電荷が所定量以上になると維持放電が行われて、該壁電荷が中和され、偶発的な誤放電が防止されるという効果を奏する。第4発明に係るプラズマディスプレイパネルでは、第1基板に電極X及び電極Yが、表示ライン毎に存在する有効表示領域外に、互いに平行に配置され、該第1基板又は該第1基板と対向する第2基板に電極Aが該電極X及び該電極Yと離間して交差するように配置され、有効表示領域内の該電極X及び該電極Yの表面が誘電体で被われたプラズマディスプレイパネルであって、該電極Aの、有効表示領域外の有効表示領域内側部分が、放電空間内に露出している。

【0020】この第4発明によれば、アドレス電極方向に転送されて有効表示領域境界付近に蓄積しようとした電荷が、アドレス電極露出部を通してアドレス電極内に逃げるので、壁電荷の異常な蓄積による偶発的な誤放電が効果的に防止される。また、従来と同じ駆動回路を用いることができる。第5発明に係るプラズマディスプレイパネルでは、第1基板に電極X及び電極Yが、表示ライン毎に存在する有効表示領域外に、互いに平行に配置され、該第1基板又は該第1基板と対向する第2基板に電極Aが該電極X及び該電極Yと離間して交差するように配置され、有効表示領域内の該電極X及び該電極Yの表面が誘電体で被われたプラズマディスプレイパネルであって、該電極Aの上方の該誘電体上かつ有効表示領域

外の有効表示領域内側部分に、導電性膜が被着されている。

【0021】この第5発明によれば、アドレス電極方向に転送されて有効表示領域境界付近に蓄積しようとした電荷が、導電性膜を通して逃げるので、壁電荷の異常な蓄積による偶発的な誤放電が効果的に防止される。第5発明の第1態様では、上記プラズマディスプレイパネルと、駆動回路とを有し、該駆動回路は、選択及び非選択の該電極Yにそれぞれ選択電圧及び非選択電圧を印加し、該電極Yの選択を順に走査し、該選択毎に、表示データに応じて選択的に該電極Aに書き込み電圧を印加して放電させることにより、維持放電に必要な壁電荷を生成させ、該書き込み放電の後で、電極X-電極Y間に交流維持パルスを印加する。

【0022】第6発明に係るプラズマディスプレイパネル駆動方法では、第1基板に電極X及び電極Yが、表示ライン毎及び該表示ラインと直角な方向に存在する有効表示領域外に、互いに平行に配置され、該第1基板又は該第1基板と対向する第2基板に電極Aが該電極X及び該電極Yと離間して交差するように配置され、該電極X及び該電極Yの表面が誘電体で被われたプラズマディスプレイパネルに対する駆動方法において、該有効表示領域外の電極X-電極Y間で、壁電荷を消去させるための放電を行わせる。

【0023】第7発明に係るプラズマディスプレイパネル駆動方法では、第1基板に電極X及び電極Yが、表示ライン毎に互いに平行に配置され、該第1基板又は該第1基板と対向する第2基板に電極Aが該電極X及び該電極Yと離間して交差するように配置され、該電極X及び該電極Yの表面が誘電体で被われたプラズマディスプレイパネルに対する駆動方法において、選択及び非選択の該電極Yにそれぞれ選択電圧及び非選択電圧を印加し、該電極Yの選択を順に走査し、該選択毎に、表示データに応じて選択的に該電極Aに書き込み電圧を印加して放電させることにより、維持放電に必要な壁電荷を生成させ、該走査の方向をサブフィールド単位で一方向又は他方向とし該書き込み放電の後で、電極X-電極Y間に交流維持パルスを印加する。

【0024】

【発明の実施の形態】以下、図面に基づいて本発明の実施形態を説明する。

〔第1実施形態〕図1は、本発明の第1実施形態のプラズマディスプレイ装置20のブロック図である。

【0025】PDP21は、上述のように有効表示領域外に非表示ラインが形成されており、そのうち、ダミー電極XD1、XD2、YD1及びYD2のみが用いられ、これらに対する駆動回路は後述のように、有効表示領域内の電極X1～Xn及び電極Y1～Ynに対するものとはほぼ同様になっている。以下、簡単化のために、次のように総称する。

【0026】電極X：電極X1～Xn

電極Y：電極Y1～Yn

ダミーを含む電極Y：電極Y1～Yn、YD1及びYD2

アドレス電極A：アドレス電極A1～Am

これら電極に印加される電圧は、電源回路22で生成され、アドレスドライバ23、Y共通ドライバ24、走査ドライバ25及びX共通ドライバ26を介して該電極に供給される。電極に印加される電圧は、例えば、 $V_w = 130V$ 、 $V_s = 180V$ 、 $V_a = 50V$ 、 $-V_{sc} = -50V$ 、 $-V_y = -150V$ である。アドレスドライバ23、Y共通ドライバ24、走査ドライバ25及びX共通ドライバ26は、制御回路27からの信号により制御される。制御回路27はこの信号を、外部から供給されるドットクロックCLK、垂直同期信号VSYNC及び水平同期信号HSYNCに基づいて生成し、また、外部から供給される表示データDATAをPDP21用に変換してアドレスドライバ23に供給する。

【0027】アドレスドライバ23は、シフトレジスタ221、ラッチ回路222及び223を備えている。アドレスドライバ23では、制御回路27から1行分の表示データがシフトレジスタ231に供給されると、これがラッチ回路232に保持され、表示データに応じた2値電圧パターンがアドレス電極Aに供給される。走査ドライバ25は、nビットのシフトレジスタ251と、図2に示すドライバ（構成単位）252をn+2個備えたドライバ252とを有する。シフトレジスタ251は、サブフィールド内のアドレス期間の始端に同期して直列データ入力端に「1」が供給され、アドレスサイクルに同期したシフトパルスがクロック入力端に供給される。シフトレジスタ251のnビット並列出力はそれぞれ、出力端が電極Y1～Ynに接続されたドライバ252の構成単位の入力端に供給される。出力端が電極YD1及び電極YD2に接続されたドライバ252の構成単位の入力端には、シフトレジスタ251と独立に「0」が供給されている。

【0028】ドライバ252の構成単位であるドライバ2521の構成を、図2に示す。配線L3は、ダミーを含む電極Yの1つに接続され、共通配線L1及びL2はそれぞれ、n+2個のドライバ2521について共通に接続されている。信号SCは制御回路27から供給され、信号S1は上記シフトレジスタ251の1ビット又は上記「0」である。

【0029】維持放電期間では、信号SCによりスイッチSW1及びSW2がオフにされている。この状態で、配線L3が0Vの状態では共通配線L2がフローティング状態にされ、共通配線L1に維持電圧Vsが印加されると、ダイオードD1を通して配線L3が維持電圧Vsに引き上げられる。共通配線L1をフローティング状態に

し、共通配線L2を0Vにすると、配線L3からダイオードD2を通して電流が流れ、配線L3が0Vに引き下げられる。

【0030】アドレス期間では、信号SCによりスイッチSW1及びSW2が共にオフにされ、この状態で、共通配線L1に選択電圧Vyが印加され、共通配線L2に非選択電圧Vscが印加される。スイッチSW1及びSW2は、信号S1及SCに基づいて論理回路252aにより制御される。信号S1が「0」のとき、スイッチSW1をオフにした状態でスイッチSW2がオンにされて、共通配線L2が非選択電圧Vscになり、信号S1が「1」のとき、スイッチSW2をオフにした状態でスイッチSW1がオンにされて配線L3が選択電圧Vyになる。

【0031】Y共通ドライバ24は、制御回路27からの制御信号に応じて、上記のように共通配線L1若しくは共通配線L2に駆動電圧を印加し又は共通配線L1若しくは共通配線L2をフローティング状態にする。X共通ドライバ26の出力電圧は制御回路17により制御され、X共通ドライバ26の出力端は、電極X1～Xn、電極XD1及び電極XD2に共通に接続されている。

【0032】次に、上記の如く構成されたプラズマディスプレイ装置20の動作を、図3に基づいて説明する。この駆動方法は、アドレス／維持放電分離型・書き込みアドレス方式であり、1サブフィールドは、全セルの壁電荷を殆ど完全に消去するためのリセット期間と、点灯させる画素に対し後の維持放電に必要な壁電荷をアドレス放電により蓄積させるためのアドレス期間と、壁電荷に維持パルスを上乗せして、アドレス放電が生じたセルに対してのみ維持放電を生じさせるための維持放電期間とに分けられる。

【0033】i) リセット期間

(a～b) 消去放電を確実にを行うために、消去放電の前に、表示状態に依存する壁電荷を均一にするための全面書込放電が行われる。前回の電全電極を0Vにした状態で、電極Xに電圧Vs+Vwの書き込みパルスが印加され、同時に、アドレス電極Aに電圧Vawのパルスが印加される。

【0034】電圧Vs+Vwは、電極X-Y間放電開始電圧より高く、壁電荷の有無に係わらず、ダミー行を含む隣り合う電極X-Y間で全面書き込み放電Wが生じ、生じた電子及び正イオンが電極X-Y間印加電圧による電界で引かれて印加電圧と逆極性の壁電荷が生じ、これにより放電空間の電界強度が低減し、1～数μsで放電が終結する。電圧Vawは(Vs+Vw)/2程度であり、電極A-X間印加電圧と電極A-Y間印加電圧とが互いに逆極性で絶対値がほぼ等しくなるので、放電により蛍光体に付着する壁電荷の平均はほぼ0になる。

【0035】(b～c) アドレス電極Aと電極Xとが同時に0Vに戻されて、壁電圧と逆極性の印加電圧が消失

し、電極X-Y間の壁電圧が放電開始電圧より大きくなって(大きくなるように電圧 $V_s + V_w$ が決定されている)、ダミー行を含む全面自己消去放電Cが生ずる。この際、全電極の印加電圧が0Vであるので、この放電により壁電荷は殆ど生ぜず、放電空間内でイオンと電子が再結合して殆ど完全に中和される。

【0036】i i)。アドレス期間

(c~d) 電極Xを電圧 V_{ax} にし、非選択の電極Y2~Yn、電極YD1及び電極YD2を非選択電圧 $-V_s$ にした状態で、選択する電極Y1に選択電圧 $-V_y$ のスキャンパルスが印加され、同時に、点灯させようとする画素に対応したアドレス電極Aに書込電圧 V_a のアドレスパルスが印加される。非選択の電極Y2~Ynを負電圧にする理由は、パルス数の多い書込電圧 V_a を低くして消費電力を低減するためである。電極YD1及び電極YD2を負電圧にする理由は、構成を簡単にするためである。

【0037】これにより、第1選択ラインの点灯させるセルについてのみ、電極A-Y1間でアドレス放電が生じ、これにトリガされて電極X1-Y1間で放電が生じ、電極X側及び電極Y1側にそれぞれ、後に維持放電を行うことが可能な量の負及び正の壁電荷が生成される。以降、電極Y2~Ynについて上記同様の動作が順に行われる。

【0038】電極YD1及び電極YD2は選択されないもので、維持放電に必要な壁電荷は、ダミー行には蓄積されない。

i i i)。維持放電期間

(d~e) アドレス電極Aを $V_e = V_s / 2$ にし、電極Xを0Vにした状態で、電極Y、YD1及びYD2に維持電圧 V_s の維持パルスが印加される。アドレス電極Aを $V_e = V_s / 2$ にする理由は、アドレス放電によりアドレス電極側に生じた負の壁電荷による電界を打ち消して、維持放電の際にイオンがアドレス電極側へ飛来するのを少なくすることにより、蛍光体の劣化を防止するためである。電極YD1及びYD2にも維持電圧 V_s のパルスを印加する理由は、構成を簡単にするためである。

【0039】アドレス期間で書き込まれた画素についてのみ、電極Y-X間印加電圧と壁電圧との和が維持放電開始電圧以上となり、維持放電が生じて発光し、逆極性の壁電荷が生じて放電が終結する。

(e~) 電極Y、YD1及びYD2を0Vにした状態で、電極Xに維持電圧 V_s の維持パルスが印加される。

【0040】以降、上記同様の維持放電が周期的に繰り返される。維持放電期間の最後では、壁電圧が、次のリセット期間の最初で全面書き込みパルスと同一極性になるようにされる。本第1実施形態によれば、誤放電の原因となる電荷の転送先である有効表示領域外のダミー電極についても、全面書込放電及びこれに続く消去放電が行われ、かつ、ダミー電極についてはアドレス電極方向

の電荷転送の原因となる走査が行われないので、アドレス電極の有効表示領域境界付近に蓄積される壁電荷が効果的に中和されて、偶発的な誤放電が防止される。

【0041】また、全面書込放電の際には、アドレス電極Aが陰極となり電極Xが陽極となるので、正イオンがアドレス電極に引き寄せられて、アドレス電極の有効表示領域境界付近に蓄積された負の壁電荷が効果的に中和される。また、電極YD1及び電極YD2の駆動回路は、電極Y1~Ynの駆動回路と同じものを、アドレス期間で非選択になるように簡略化しているだけなので、特別な構成の回路を付加したり特別なデータを供給する必要がない。ダミー電極YD1及びYD2に対するドライバ2521を付加し、ダミー電極YD1及びYD2を電極Y1~Ynと同様に接続し、ダミー電極XD1及びXD2を電極X1~Xnと同様に接続すればよいので、PDP21の製造においては、アドレス電極の有効表示領域境界付近の誤放電を防止するための特別な工程を必要とせず、量産性に適している。

【0042】〔第2実施形態〕本発明の第2実施形態では、図1の表示領域外の電極を駆動回路に接続しておらず、その替わりに、アドレス期間において電極Y1~Ynの走査順をフィールド毎に逆に行っている。図5は、フレーム構成及び表示ライン1~n(電極Y1~Yn)の走査順を示す。

【0043】輝度は、維持放電期間での維持パルスの回数によって決定されるので、図18に示す如く、1フレームが例えば8個のサブフィールドSF1~SF8に分割され、サブフィールドSF1~SF8の維持放電期間の比が1:2:4:8:16:32:64:128とされる。これにより、256階調表示を行うことができる。画面の書換えを60Hzとすると、1フレームは16.7msとなる。

【0044】アドレス期間において、奇数のサブフィールドSF1、SF3、SF5及びSF7では表示ライン1~nの順に電極Yが走査され、偶数のサブフィールドSF2、SF4、SF6及びSF8では逆に表示ラインn~1の順に電極Yが走査される。奇数サブフィールドの電極印加電圧波形は図3と同一になる。ただし、ダミー電極YD1及びYD2には電圧が印加されない。図6は、偶数サブフィールドでの電極印加電圧波形を示す。この波形は、図1のシフトレジスタ251を逆方向にシフトさせることにより得られる。

【0045】図4は、図1の走査ドライバ25に対応した、第2実施形態の走査ドライバ25Aを示す。走査ドライバ25Aは、互いに同一構成のnビットのシフトレジスタ251A及び251Bと、n個の2入力セレクトを備えたセレクト253と、電極Y1~Ynに対するドライバ252とを備えている。セレクト253の第1~nセレクトの一方の入力端にはそれぞれシフトレジスタ251Aの第1~n出力ビットが供給され、セレクト2

53の第1～nセクタの他方の入力端にはそれぞれシフトレジスタ251Bの第n～1出力ビットが供給される。

【0046】第1表示ラインから最終表示ラインへ（正方向）走査する場合には、制御回路27からの選択信号により、セクタ253がシフトレジスタ251Aの出力を選択し、セクタ253からシフトレジスタ251Aの並列出力が取り出される。シフトレジスタ251Aでは、直列データ入力端に「1」が供給され、これがシフトパルスによりシフトされる。最終表示ラインから第1表示ラインへ（逆方向）走査する場合には、制御回路27からの選択信号により、セクタ253がシフトレジスタ251Bの出力を選択し、セクタ253からシフトレジスタ251Bの並列出力が取り出される。シフトレジスタ251Bでは、直列データ入力端に「1」が供給され、これがシフトパルスによりシフトされる。

【0047】セクタ253のn個の出力はそれぞれドライバ252のn個の構成単位の水タ入力端に供給される。これにより、電極Y1～Ynが1つずつ、選択信号に忠じた方向へ順に選択される。本第2実施形態によれば、走査方向を逆転させることにより、図12に示す互いに反対方向の正イオンと電子の転送方向が逆転するので、アドレス電極に沿って転送され有効表示領域境界付近で留まった壁電荷が異常に蓄積される前に中和され、偶発的な誤放電が生ずるのを防止することができる。

【0048】また、ダミー電極に対するパワー駆動回路を備える必要がないので、第1実施形態の場合よりも製造コスト及び消費電力を低減できる。

〔第3実施形態〕図12の誤放電が生ずる原因に着目し、PDPのみの構成を工夫することにより、従来と同じ駆動回路を用いて誤放電を効果的に防止することも可能であり、図7は、このようなPDPのアドレス電極に沿った部分断面を、本発明の第3実施形態として示す。

【0049】このPDPでは、第1表示ライン側の有効表示領域境界付近、すなわち電極Y1～X1間付近かつ有効表示領域外の、アドレス電極A1上の蛍光体が、図10の蛍光体181から部分的に除去されて、アドレス電極露出部19が形成されている。この構成によれば、アドレス電極方向に転送されて有効表示領域境界付近に蓄積しようとした電荷が、アドレス電極露出部19を通過してアドレス電極内に逃げるので、壁電荷の異常な蓄積による偶発的な誤放電が防止される。また、従来と同じ駆動回路を用いることができる。

【0050】上述のように、偶発的な誤放電はダミー画素の有無によらず生ずるので、この第3実施形態は、有効表示領域外にダミー画素が存在するかどうかによらず適用可能である。

〔第4実施形態〕図8は、本発明の第4実施形態のPDP

の部分断面を示しており、図7に対応している。

【0051】このPDPでは、アドレス電極露出部19を形成する替わりに、蛍光体181上の有効表示領域外の、少なくとも有効表示領域境界付近の部分に、金属膜30を被着している。金属膜30は、蛍光体181にコンタクトホールを形成してアドレス電極A1と接続され、又は、グランド線に接続されている。この構成によっても、図7の場合と同じ効果が得られる。

【0052】なお、本発明には外にも種々の変形例が含まれる。例えば、図1の駆動回路25及び26に接続されるダミー電極は、1対以上であればよい。

【図面の簡単な説明】

【図1】本発明の第1実施形態のプラズマディスプレイ装置の概略構成を示すブロック図である。

【図2】図1中の電極Yドライバの構成単位の回路図である。

【図3】図1のPDPの駆動方法を示す電極印加電圧波形図である。

【図4】本発明の第2実施形態の走査ドライバのブロック図である。

【図5】本発明の第2実施形態のフレーム構成及び走査順を示す図である。

【図6】逆方向に走査した場合の電極印加電圧波形図である。

【図7】本発明の第3実施形態のPDPの、アドレス電極に沿った部分断面図である。

【図8】本発明の第4実施形態のPDPの、アドレス電極に沿った部分断面図である。

【図9】面放電AC型PDPの概略平面図である。

【図10】図9のPDPのカラー画素の対向面間を広げた状態を示す斜視図である。

【図11】図9のPDPのカラー画素の、電極X1に沿った断面図である。

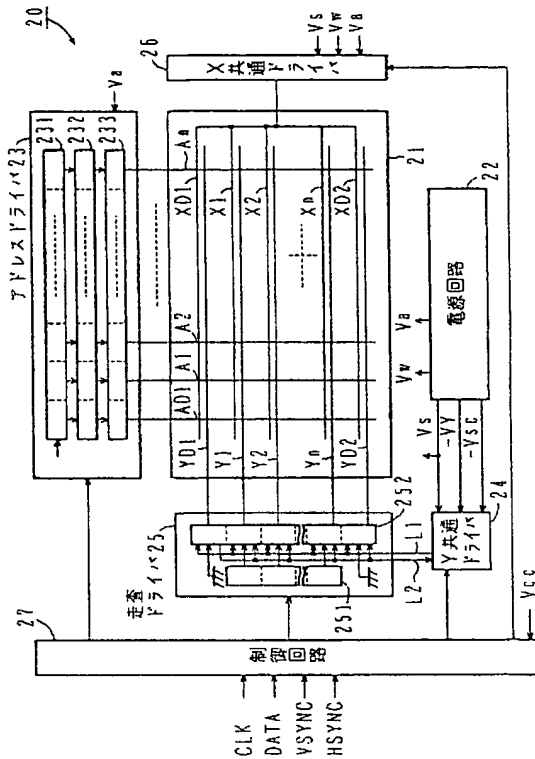
【図12】偶発的な誤放電が生ずる原因と考えられる工程の説明図である。

【符号の説明】

- 181A、181B 蛍光体
- 19 アドレス電極露出部
- 20 プラズマディスプレイ装置
- 21 PDP
- 23 アドレスドライバ
- 231、251A、251B、251 シフトレジスタ
- 232 ラッチ回路
- 233、252、252.1 ドライバ
- 253 セクタ
- 24 Y共通ドライバ
- 25、25A 走査ドライバ
- 26 X共通ドライバ
- 30 金属膜

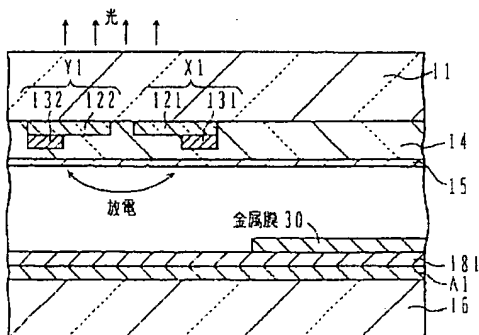
【図1】

本発明の第1実施形態のプラズマディスプレイ装置の概略構成を示すブロック図



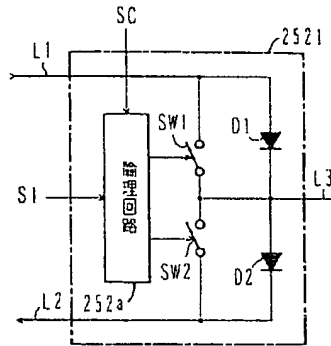
【図8】

本発明の第4実施形態のPDPのアドレス電極に沿った部分断面図



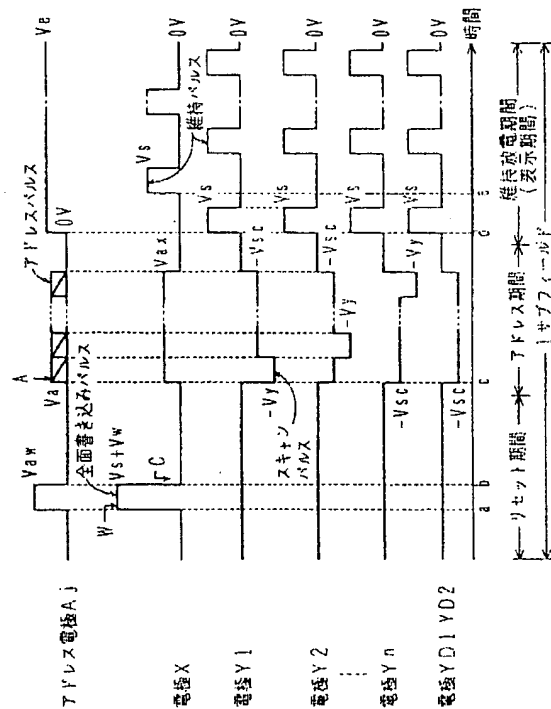
【図2】

図1中のYドライバの構成単位の回路図



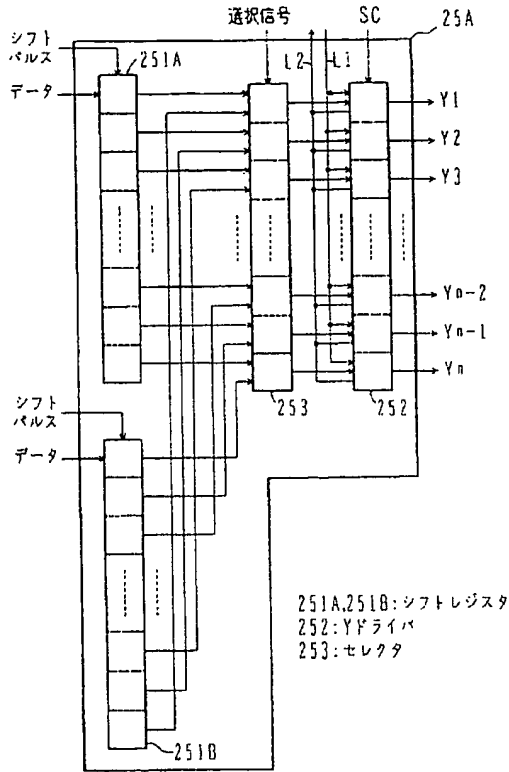
【図3】

図1のPDDの駆動方法を示す電極印加電圧波形図



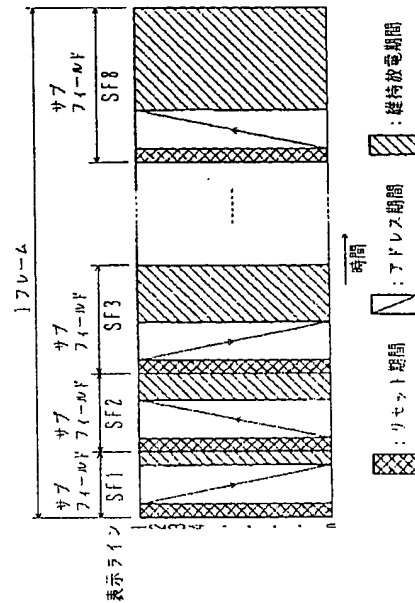
【図4】

本発明の第2実施形態の走査ドライバのブロック図



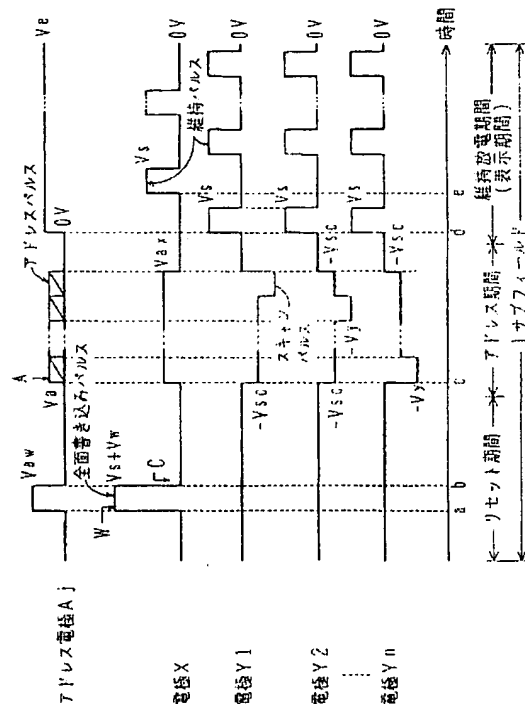
【図5】

本発明の第2実施形態のフレーム構成及び走査順



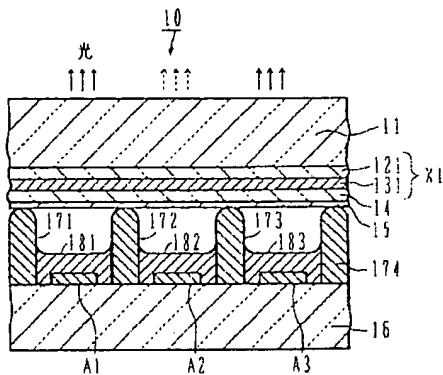
【図6】

逆方向に走査した場合の電極印加電圧波形図



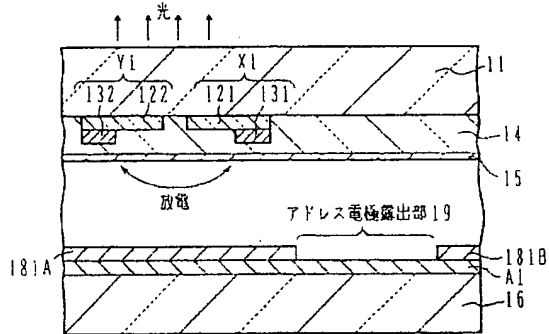
【図11】

図9のPDDのカラー画素の電極X1に沿った断面図



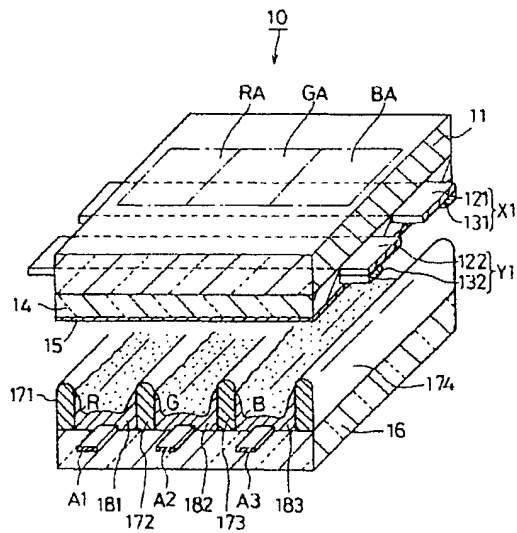
【図7】

本発明の第3実施形態のPDPの、
アドレス電極に沿った部分断面図



【図10】

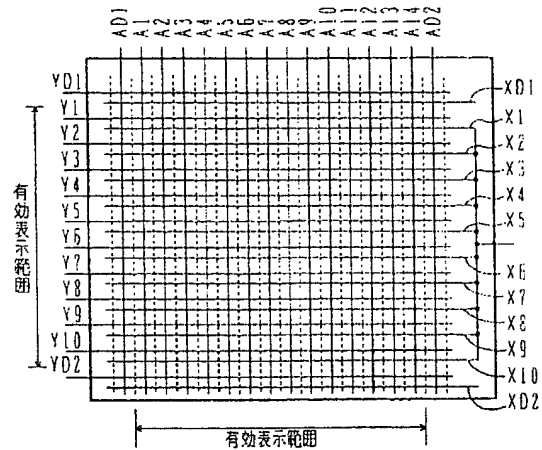
図9のPDPのカラー画素の対向面を広げた
状態を示す斜視図



RA, GA, BA: 単色画素領域
11, 16: ガラス基板
14: 誘電体
15: MgO保護膜
171~174: 隔壁
181~183: 蛍光体
X1, Y1, A1~A3: 電極

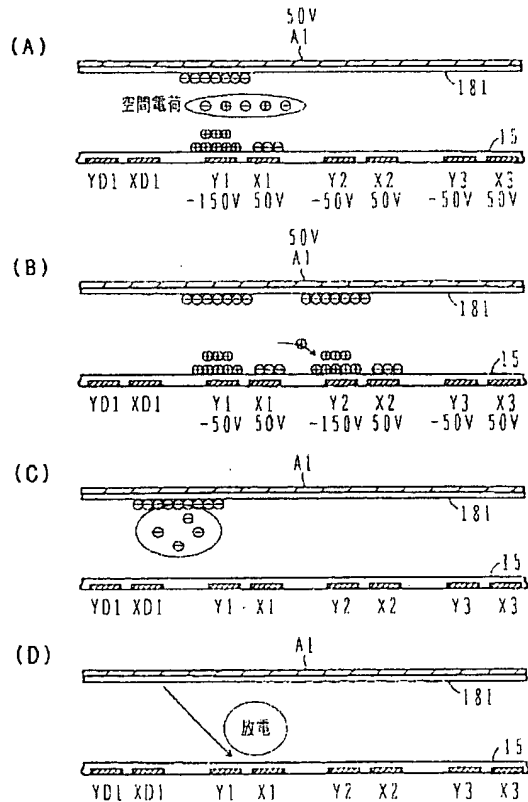
【図9】

面放電AC型PDPの概略平面図



【図12】

偶発的な誤放電の説明図



フロントページの続き

(72)発明者 高森 孝宏

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 荻谷 敦治

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 広瀬 忠継

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

Full Translation of JP H09-97570

[Title of the invention]

PLASMA DISPLAY PANEL AND DRIVING METHOD THEREOF, AND
PLASMA DISPLAY DEVICE

[Abstract]

[Subject matter]

This invention more effectively prevents an accidental mis-discharge around a border of an effective display area.

[Solution means]

A wall charge accumulated in a transmission place is neutralized by being discharged to the dummy electrode which is provided outside of an effective display area that exists in an address electrode direction, which is the transmission place of the charge where a mis-discharge is generated. In an address period, a scan of the dummy electrode is not performed. The polarity of the charge accumulated in the transmission place is reversed to be neutralized by reversing a scan direction for each subfield without using the dummy electrode. The charge transmitted in the address electrode direction to be accumulated around the border of the effective display area is discharged through the address electrode by exposing an external part around the effective display area of the address electrode A within a discharge space. It is also allowed to deposit a conductive film on a dielectric substance around this instead of the exposure:

[What is claimed is]

1. A plasma display device, comprising:

a plasma display panel where an electrode X and an electrode Y are arranged parallel to each other in a first substrate for each display line and outside an effective display area which exists in an orthogonal direction to the display line, an electrode A is arranged to separately cross the electrode X and the electrode Y in the first substrate or a second substrate which faces the first substrate, and surfaces of the electrode X and the electrode Y are covered with a dielectric substance; and

a drive circuit which has a discharge performed between the electrodes X and Y outside the effective display area for erasing a wall charge.

2. The plasma display device according to claim 1, wherein the drive circuit performs an erasure discharge for erasing the wall charge between all the electrodes X and Y, applies a selection voltage to the electrode Y by scanning the electrode Y one by one only within the effective display area after the erasure discharge, applies a non-selection voltage to the electrode Y outside the effective display area, and selectively applies a write voltage to the electrode A to be discharged, thereby forming the wall charge required for the sustain discharge, and after the write discharge, it also includes the electrode X and the electrode Y outside the effective display area to apply an AC sustain pulse between the electrode X and the electrode Y.

3. A plasma display device, comprising:

a plasma display panel where an electrode X and an electrode Y are arranged parallel to each other in a first substrate for each display line, an electrode A is arranged to separately cross the electrode X and the electrode Y in the first substrate or a second substrate which faces the first substrate, and surfaces of the electrode X and the electrode Y are covered with a dielectric substance; and

a drive circuit,

and

wherein the drive circuit applies a selection voltage and a non-selection voltage to the electrode Y of selection or non-selection, sequentially scans the selection of the electrode Y, and selectively applies a write voltage to the electrode A in accordance with a display data for each selection to generate a discharge, thereby generating a wall charge required for a sustain discharge to make the scan direction in one direction or another direction for each subfield, and it applies an AC sustain pulse between the electrode X and the electrode Y after the write discharge.

4. The plasma display device according to claim 3, wherein the drive circuit reverses the scan direction for each subfield.

5. The plasma display device according to claim 3 or 4, further comprising:

a first shift register;

a second shift register;

a selector to select one of a parallel output of the first shift register and a parallel output of the second shift register in response to a selection signal; and

a Y driver to apply the selection voltage and the non-selection voltage to the electrode Y in response to the output of the selector,

and

wherein parallel output terminals of the first shift register and the second shift register are connected to a data input terminal of the selector so that a shift direction of the output of the selector is reversed in response to the selection signal.

6. A plasma display device, comprising:

a plasma display panel where an electrode X and an electrode Y are arranged parallel to each other in a first substrate for each display line and outside an effective display area which exists in an orthogonal direction to the display line, an electrode A is arranged to separately cross the electrode X and the electrode Y in the first substrate or a second substrate which faces the first substrate, and surfaces of the electrode X and the electrode Y are covered with a dielectric substance; and

a drive circuit for supplying a sustain pulse between the electrodes X and Y outside the effective display area.

7. A plasma display panel where an electrode X and an electrode Y are arranged parallel to each other in a first substrate outside an effective display area which exists for each display line, an electrode A is arranged to separately cross the electrode X and the electrode Y in the first substrate or a second substrate which faces the first substrate, and surfaces of the electrode X and the electrode Y within the effective display area are covered with a dielectric substance, wherein an effective display

area inner part outside the effective display area of the electrode A is exposed to a discharge space.

8. A plasma display panel where an electrode X and an electrode Y are arranged parallel to each other in a first substrate outside an effective display area which exists for each display line, an electrode A is arranged to separately cross the electrode X and the electrode Y in the first substrate or a second substrate which faces the first substrate, and surfaces of the electrode X and the electrode Y within the effective display area are covered with a dielectric substance, wherein a conductive film is deposited on the dielectric substance on top of the electrode A and in an effective display area inner part outside the effective display area.

9. A plasma display device, comprising:

- a plasma display panel according to claim 7 or 8; and
- a drive circuit,
- and

wherein the drive circuit applies a selection voltage and a non-selection voltage to the electrode Y of selection or non-selection, sequentially scans the selection of the electrode Y, and selectively applies a write voltage to the electrode A in accordance with a display data for each selection to generate a discharge, thereby generating a wall charge required for a sustain discharge, and it applies an AC sustain pulse between the electrode X and the electrode Y after the write discharge.

10. A driving method of a plasma display panel where an electrode X and an electrode Y are arranged parallel to

each other in a first substrate for each display line and outside an effective display area which exists in an orthogonal direction to the display line, an electrode A is arranged to separately cross the electrode X and the electrode Y in the first substrate or a second substrate which faces the first substrate, and surfaces of the electrode X and the electrode Y are covered with a dielectric substance, wherein a discharge is performed between the electrodes X and Y outside the effective display area for erasing a wall charge.

11. A driving method of a plasma display panel where an electrode X and an electrode Y are arranged parallel to each other in a first substrate for each display line, an electrode A is arranged to separately cross the electrode X and the electrode Y in the first substrate or a second substrate which faces the first substrate, and surfaces of the electrode X and the electrode Y are covered with a dielectric substance, wherein a selection voltage and a non-selection voltage are applied to the electrode Y of selection or non-selection, the selection of the electrode Y is sequentially scanned, and a write voltage is selectively applied to the electrode A in response to a display data for each selection to generate a discharge, thereby generating a wall charge required for a sustain discharge to make the scan direction in one direction or another direction for each subfield, and an AC sustain pulse is applied between the electrode X and the electrode Y after the write discharge.

[Detailed description of the invention]

[Technical field including the invention and prior art therein]

[0001] This invention relates to a plasma display panel and a driving method thereof, and a plasma display device.

[Related art]

[0002] A plasma display panel PDP is a self-luminous type so that it is good in visibility, and is made thin and can display in a large screen and at a high speed, thus it has been given attention as a display panel which supersedes a CRT. Specially, a surface discharge AC type PDP is suitable for a full color display to be expected in a hi-vision field, thereby being required to be high in picture quality.

[0003] FIG. 10 represents a state that a distance between opposite surfaces of a color pixel 10 of a PDP is broadened. FIG. 11 represents a longitudinal section along an electrode X1 of the color pixel 10. In one surface of a glass substrate 11, transparent electrodes 121 and 122 of an ITO film, etc are disposed in parallel to each other and metal electrodes 131 and 132 of copper, etc are respectively formed on the transparent electrodes 121 and 122. The electrode X1 is composed of the transparent electrode 121 and the metal electrode 131, and the electrode Y1 is composed of the transparent electrode 122 and the metal electrode 132. A dielectric substance 14 for sustaining a wall charge is deposited on the electrode X1 and the electrode Y1, and an MgO passivation film 15 is deposited thereon.

[0004] On the other hand, address electrodes A1, A2, A3 and barrier ribs 171 to 173 which divide the address electrodes A1, A2, A3 are formed in a surface of a glass substrate 16 which faces the MgO passivation film 15, in a direction of crossing the electrodes X1 and Y1 while being separated from them. Fluorescent substances 181, 182, 183 which receive an ultraviolet ray generated by each discharge and emit red R, green G, blue B lights of the three primary colors are deposited in adjacent intervals of the barrier ribs 171, 172, 173. In a discharge space between the fluorescent substances 181 to 183 and the MgO passivation film 15, for example, an Ne+ electrode Xe penning mixture gas is injected and sealed. Areas RA, GA and BA shown in a dashed dot line in the FIG. 10 respectively represent monochromatic pixel areas of red, green and blue.

[0005] FIG. 9 represents a brief configuration of a PDP where such monochromatic pixels are arranged in a matrix shape. The PDP formally extends an effective display area to form dummy electrodes XD1, YD1, XD2, YD2 and dummy address electrodes AD1 and AD2 in the outer side of the electrodes Y1 to Y10, the electrodes X1 to X10 and the address electrodes A1 to A14 within the effective display area. The PDP has the gas injected into and sealed within the discharge space. The reason of forming the dummy electrode is because dimensions or characteristics are different in the bordering part and inner part so that the picture quality is deteriorated if the dummy electrode is not formed, thus it is formed to prevent such deterioration. In FIG. 9, electrodes of one line along each side of and outside the effective display area are

only shown for the sake of simplification, but there are formed dozens of lines in reality.

[0006] The dummy pixel is composed in the same manner as the display pixel, and is affected by a discharge within the effective display area to cause a mis-discharge which is a cause for deteriorating picture quality. So, in the related art, there are proposed means for restraining the mis-discharge by forming a light shielding layer on a glass substrate 11 outside the effective display area, making the dielectric substance 14 thick (Japanese patent application laid-open No. Hei 4-223025), or widening a discharge gap within a limit in the adjacent electrode (Japanese patent application laid-open No. Hei 5-114362).

[Technical subject matter to be solved by the invention]

[0007] However, such a means is not a proper way in dealing with the cause for the mis-discharge generation, thus the light emission by the mis-discharge cannot be sufficiently reduced. It is an object of the present invention to provide a plasma display panel that is adaptive for effectively preventing an accidental mis-discharge around the border of an effective display area by directing attention to a cause of the mis-discharge, and a driving method thereof and a plasma display device.

[Means to solve the subject matter and its operational effect]

[0008] The present invention is worked out by considering a cause which generates a mis-discharge around a border of an effective display area. Firstly, a cause

which might generate the mis-discharge is explained on the basis of FIG. 12. An address discharge is performed one by one from a first display row. That is to say, the address discharge is firstly performed between an address electrode A1 and an electrode Y1, then it is performed between the address electrode A1 and an electrode Y2, and then it is performed between the address electrode A1 and an electrode Y3 to go on as follows. Before starting to scan, for example, 50V is applied to the electrode X, -50V is applied to the electrode Y, and 0V is applied to the address electrode A. A discharge inception voltage between the electrodes A and Y is, for example, 190V.

[0009] Next, a scan pulse of, for example, -150V is applied to the electrode Y1, and at the same time an address pulse of, for example, 50V is applied to the address electrode A1. By this, a discharge is generated between the electrodes A1 and Y1 to trigger a discharge between the electrodes X1 and Y1. Among space charges generated by such an address discharge, electrons are drawn to the address electrode A1 side and the electrode X1 side, and positive ions are drawn to the electrode Y1 side so that negative wall charges are accumulated on the fluorescent substance 181 of the address electrode A1 side and on the MgO passivation film 15 of the electrode X1 side and positive wall charges are accumulated on the MgO passivation film 15 of the electrode Y1 side, thus it becomes the same state as shown in (A).

[0010] Next, the address discharge is generated in a second display line in the same manner and it becomes the same state as shown in (B). In a space of the first

display row upon the discharge, the positive ion remaining without being re-combined is drawn to the electrode Y2 side by a relative high voltage between the electrodes X1 and Y2. Such an operation is also performed on the pixel, which is to be tuned on, for the rows below the third display row, thus the positive ion is transmitted in a final display line direction along the address electrode A1. As a result, an excessive negative wall charge is accumulated around the electrode Y1 when compared with the average, i.e., an accumulation by a substantially reverse directional transmission of the negative charge. Specially, the wall charge of the electrode XD1 side of the fluorescent substance 181 is escaped from an area, where the charges are neutralized, by a sustain discharge or an entire write discharge/entire self-erasure discharge between the electrodes Y1 and X1, thus the negative charge remains in a state of being accumulated. A discharge starts between the electrode XD1 of the fluorescent substance 181 and the electrode, of which the voltage is the highest in the adjacent electrodes, in a time point when the accumulated amount exceeds the value set by the characteristic of the PDP.

[0011] For example, in an address period, a discharge with the address electrode A1 as an anode and the electrode Y1 as a cathode is initiated, as shown in (C), when 100V is applied to the address electrode A1 to apply a sustain pulse of 180V to the electrode Y1. And, this causes a discharge between the electrodes X1 and Y1, as shown (D). The mis-discharge might also be generated by the accumulation of the wall voltage even though it is a time point when the applied voltage between all electrodes is 0V.

Further, the mis-discharge is also generated in the same manner even when the electrode X and the electrode Y are reversely arranged.

[0012] The present invention below is devised to effectively prevent the mis-discharge by paying attention to the cause of the mis-discharge generation as above. A plasma display device related to a first invention includes a plasma display panel where an electrode X and an electrode Y are arranged parallel to each other in a first substrate for each display line and outside an effective display area which exists in an orthogonal direction to the display line, an electrode A is arranged to separately cross the electrode X and the electrode Y in the first substrate or a second substrate which faces the first substrate, and surfaces of the electrode X and the electrode Y are covered with a dielectric substance; and a drive circuit which has a discharge performed between the electrodes X and Y outside the effective display area for erasing a wall charge.

[0013] According to the first invention, the discharge for erasing the wall charge, e.g., a write discharge and an erasure discharge following this or a discharge caused by the applying of a sustain pulse, is performed for a dummy electrode outside the effective display area which exists in an orthogonal direction to a display line and which is a transmission place of a charge causing a mis-discharge, thus the wall charge accumulated in the transmission place is neutralized to prevent an accidental mis-discharge.

[0014] As the first aspect of the first invention, the

drive circuit performs an erasure discharge for erasing the wall charge between all the electrodes X and Y, applies a selection voltage to the electrode Y by scanning the electrode Y one by one only within the effective display area after the erasure discharge, applies a non-selection voltage to the electrode Y outside the effective display area, and selectively applies a write voltage to the electrode A to be discharged, thereby forming the wall charge required for the sustain discharge, and after the write discharge, it also includes the electrode X and the electrode Y outside the effective display area to apply an AC sustain pulse between the electrode X and the electrode Y.

[0015] According to the first aspect, the scan causing the charge transmission in the address electrode direction is not performed for the dummy electrode, thus the transmission of the charge causing the mis-discharge is prevented around the dummy electrode and the wall charge accumulated in the transmission place is effectively neutralized by the discharge, thereby preventing the accidental mis-discharge. Further, the drive circuit is good enough by only being simplified to not be selected for the dummy electrode in the address period, thus it is not necessary to add a circuit of a special configuration or to supply a special data.

[0016] Further more, in relation to fabricating the plasma display panel, no special process is required for preventing the mis-discharge around a border of the effective display area of the address electrode so that it is suitable for mass production. A plasma display device

related to a second invention includes a plasma display panel where an electrode X and an electrode Y are arranged parallel to each other in a first substrate for each display line, an electrode A is arranged to separately cross the electrode X and the electrode Y in the first substrate or a second substrate which faces the first substrate, and surfaces of the electrode X and the electrode Y are covered with a dielectric substance; and a drive circuit, and wherein the drive circuit applies a selection voltage and a non-selection voltage to the electrode Y of selection or non-selection, sequentially scans the selection of the electrode Y, and selectively applies a write voltage to the electrode A in accordance with a display data for each selection to generate a discharge, thereby generating a wall charge required for a sustain discharge to make the scan direction reversed for each integral multiple of the number of subfields, and it applies an AC sustain pulse between the electrode X and the electrode Y after the write discharge. According to the second invention, the charge transmission direction of positive ions and electrons which have different directions to each other is reversed by reversing a scan direction, thus it is transmitted along the address electrode so that the wall charges remaining around the border of the effective display area are neutralized before being abnormally accumulated, thereby effectively preventing an accidental mis-discharge from being generated.

[0017] Further, because it is not necessary to have a power drive circuit for the dummy electrode, its manufacturing cost and power consumption can be reduced when compared with the first invention. In a first aspect

of the second invention, the drive circuit reverses the scan direction for each subfield. In a second aspect of the second invention, the plasma display device includes a first shift register; a second shift register; a selector to select one of a parallel output of the first shift register and a parallel output of the second shift register in response to a selection signal; and a Y driver to apply the selection voltage and the non-selection voltage to the electrode Y in response to the output of the selector, and wherein parallel output terminals of the first shift register and the second shift register are connected to a data input terminal of the selector so that a shift direction of the output of the selector is reversed in response to the selection signal.

[0018] According to the second aspect, the scan direction of the display line can be easily changed. A plasma display device related to a third invention includes a plasma display panel where an electrode X and an electrode Y are arranged parallel to each other in a first substrate for each display line and outside an effective display area which exists in an orthogonal direction to the display line, an electrode A is arranged to separately cross the electrode X and the electrode Y in the first substrate or a second substrate which faces the first substrate, and surfaces of the electrode X and the electrode Y are covered with a dielectric substance; and a drive circuit for supplying a sustain pulse between the electrodes X and Y outside the effective display area.

[0019] According to the third invention, in relation to a dummy electrode outside an effective display area

which exists in an orthogonal direction to a display line, which is a transmission place of charges causing a mis-discharge, if a wall charge accumulated in the address electrode exceeds a designated amount, then a sustain discharge is performed to neutralize the wall charge, thereby preventing an accidental mis-discharge. In a plasma display panel related to a fourth invention where an electrode X and an electrode Y are arranged parallel to each other in a first substrate outside an effective display area which exists for each display line, an electrode A is arranged to separately cross the electrode X and the electrode Y in the first substrate or a second substrate which faces the first substrate, and surfaces of the electrode X and the electrode Y within the effective display area are covered with a dielectric substance, an effective display area inner part outside the effective display area of the electrode A is exposed to a discharge space.

[0020] According to the fourth invention, a charge transmitted in an address electrode direction to be accumulated around the border of an effective display area is escaped into the address electrode through an address electrode exposure part, thereby effectively preventing an accidental mis-discharge caused by an abnormal accumulation of a wall charge. Further, the same drive circuit as the related art can be used. In a plasma display panel related to a fifth invention where an electrode X and an electrode Y are arranged parallel to each other in a first substrate outside an effective display area which exists for each display line, an electrode A is arranged to separately cross the electrode X and the electrode Y in the first

substrate or a second substrate which faces the first substrate, and surfaces of the electrode X and the electrode Y within the effective display area are covered with a dielectric substance, a conductive film is deposited on the dielectric substance on top of the electrode A and in an effective display area inner part outside the effective display area.

[0021] According to the fifth invention, a charge transmitted in an address electrode direction to be accumulated around the border of an effective display area is escaped through a conductive film, thereby effectively preventing an accidental mis-discharge caused by an abnormal accumulation of a wall charge. In a first aspect of the fifth invention, a plasma display device includes a plasma display panel and a drive circuit, and wherein the drive circuit applies a selection voltage and a non-selection voltage to the electrode Y of selection or non-selection, sequentially scans the selection of the electrode Y, and selectively applies a write voltage to the electrode A in accordance with a display data for each selection to generate a discharge, thereby generating a wall charge required for a sustain discharge, and it applies an AC sustain pulse between the electrode X and the electrode Y after the write discharge.

[0022] In a driving method of a plasma display panel related to a sixth invention where an electrode X and an electrode Y are arranged parallel to each other in a first substrate for each display line and outside an effective display area which exists in an orthogonal direction to the display line, an electrode A is arranged to separately

cross the electrode X and the electrode Y in the first substrate or a second substrate which faces the first substrate, and surfaces of the electrode X and the electrode Y are covered with a dielectric substance, a discharge is performed between the electrodes X and Y outside the effective display area for erasing a wall charge.

[0023] In a driving method of a plasma display panel where an electrode X and an electrode Y are arranged parallel to each other in a first substrate for each display line, an electrode A is arranged to separately cross the electrode X and the electrode Y in the first substrate or a second substrate which faces the first substrate, and surfaces of the electrode X and the electrode Y are covered with a dielectric substance, a selection voltage and a non-selection voltage are applied to the electrode Y of selection or non-selection, the selection of the electrode Y is sequentially scanned, and a write voltage is selectively applied to the electrode A in response to a display data for each selection to generate a discharge, thereby generating a wall charge required for a sustain discharge to make the scan direction in one direction or another direction for each subfield, and an AC sustain pulse is applied between the electrode X and the electrode Y after the write discharge.

[Embodiments of the invention]

[0024] Hereinafter, embodiments of the present invention are explained on the basis of the accompanying drawings.

[First embodiment]

FIG. 1 is a block diagram of a plasma display device 20 of a first embodiment of the present invention.

[0025] A PDP 21 has non-display lines formed outside an effective display area as described above, and dummy electrodes XD1, XD2, YD1 and YD2 are only used among them. A drive circuit for them is almost the same as that for the electrodes X1 to Xn and the electrodes Y1 to Yn within the effective display area, as described in the following. Hereinafter, they are named as follows for the sake of simplification.

Electrode X: electrodes X1 to Xn

Electrode Y: electrodes Y1 to Yn

Electrode Y inclusive of dummy: electrodes Y1 to Yn, YD1 and YD2

Address electrode A: address electrodes A1 to Am

[0026] Voltages applied to these electrodes are generated in a power supply circuit 22 and supplied to the electrodes through an address driver 23, a Y common driver 24, a scan driver 25 and an X common driver 26. The voltages applied to the electrode are, for example, $V_w = 130V$, $V_s = 180V$, $V_a = 50V$, $-V_{sc} = -50V$, $-V_y = -150$. The address driver 23, the Y common driver 24, the scan driver 25 and the X common driver 26 are controlled by a signal from a control signal 27. The control signal 27 generates the signal on the basis of a dot clock CLK, a vertical synchronization signal VSYNC and a horizontal synchronization signal HSYNC which are supplied from the

outside, and converts a display data DATA supplied from the outside for the PDP 21 to supply to the address driver 23.

[0027] The address driver 23 includes a shift register 221, and latch circuits 222, 223. In the address driver 23, if the display data for one row is supplied from the control circuit 27 to the shift register 231, it is kept in the latch circuit 232 and a second voltage pattern corresponding to the display data is supplied to the address electrode A. The scan driver 25 includes a shift register 251 of n bits and a driver 252 having $n+2$ drivers (constituent unit) 2521 shown in FIG. 2. The shift register 251 supplies '1' to a series data input terminal by being synchronized in an early part of an address period within a subfield, and supplies a shift pulse synchronized with an address cycle to a clock input terminal. An n bit parallel output of the shift register 251 is supplied to the data input terminal of the constituent unit of the driver 252 of which the output terminal is connected to the electrodes Y_1 to Y_n . '0' is supplied independently of the shift register 251 to the data input terminal of the constituent unit of the driver 252 of which the output terminal is connected to the electrodes Y_{D1} and Y_{D2} .

[0028] The configuration of the driver 2521 which is a constituent unit of the driver 252 is illustrated in FIG. 2. A wire line L_3 is connected to one of the electrodes Y inclusive of dummies, and common wire lines L_1 and L_2 are commonly connected to $n+2$ drivers 2521. A signal SC is supplied from a control circuit 27 and a signal S_1 is 1 bit of the shift register 251 or '0'.

[0029] In a sustain discharge period, switches SW1 and SW2 are turned off by the signal SC. In this state, the wire line L3 is in a state of 0V and the common wire line L2 becomes a floating state, and if a sustain voltage V_s is applied to the common wire line L1, the wire line L3 rises to the sustain voltage V_s through a diode D1. If the common wire line L1 is in the floating state and the common wire line L2 is 0V, a current flows from the wire line L3 through a diode D2 to make the wire line L3 drop down to 0V.

[0030] In an address period, the switches SW1 and SW2 are all turned off by the signal SC, a selection voltage $-V_y$ is applied to the common wire line L1 in the state, and a non-selection voltage $-V_{sc}$ is applied to the common wire line L2. The switches SW1 and SW2 are controlled by a logic circuit 252A on the basis of the signals S1 and SC. When the S1 is '0', the switch SW2 is turned on while the switch SW1 is turned off, and the common wire line L2 is changed to a non-selection voltage $-V_{sc}$. And, when the S1 is '1', the switch SW1 is turned on while the switch SW2 is turned off, and the wire line L3 is changed to a non-selection voltage $-V_y$.

[0031] The Y common driver 24 applies a driving voltage to the common wire lines L1 or L2 as above or changes the common wire line L1 or the common wire line L2 to the floating state, in response to a control signal from the control circuit 27. An output voltage of the X common driver 26 is controlled by the control circuit 17 and the output terminal of the X common driver 26 is commonly connected to the electrodes X1 to Xn, the electrode xdl and the electrode XD2.

[0032] Next, an operation of a plasma display device 20 configured as above is explained on the basis of FIG. 3. The driving method is an address/sustain discharge separation type write address method. And, one subfield can be divided into a reset period for completely erasing most of the wall charges of all cells; an address period for accumulating the wall charges, which is required for the sustain discharge that is to be taken place later for the turned-on pixel, by the address discharge; and a sustain discharge period for generating the sustain discharge only for the cell, where the address discharge is generated, by raising the sustain pulse in the wall charge.

i) Reset period

[0033] In order to reliably perform (a~b) erasure discharge, an entire write discharge is performed for making the wall charge, which depends on a display state, uniform before the erasure discharge. While the previous electrode is made to be 0V, a write pulse of a voltage V_s+V_w is applied to the electrode X, and at the same time, a pulse of a voltage V_{aw} is applied to the address electrode A.

[0034] The voltage V_s+V_w is higher than a discharge inception voltage between the electrodes X and Y, and the entire write discharge W is generated between the adjacent electrodes X and Y inclusive of the dummy row irrespective of the presence and absence of the wall charge. The generated electrons and positive ions are drawn by the electric field formed by the applied voltage between the electrodes X and Y to generate the wall charge of which the

polarity is reverse to that of the applied voltage, the electric field strength of the discharge space is reduced by this, and the discharge is completed in 1 to a few μ s. The voltage V_{aw} is about $(V_s + V_w)/2$, and the applied voltage between the electrodes A and X and the applied voltage between the electrodes A and Y have reverse polarities to each other and are the same in absolute value, thus the average of the wall charge adhered to the fluorescent substance by the discharge becomes almost 0V.

[0035] (b~c) address electrode A and the electrode X become 0V simultaneously to make the applied voltage, which has a reverse polarity to the wall voltage, disappear. The wall voltage between the electrodes X and Y is higher than the discharge inception voltage (the voltage V_s+V_w is determined to be higher), thereby generating an entire self-erasure discharge C including the dummy row. At this moment, the applied voltage of all electrodes is 0V, thus almost no wall charge is generated by the discharge and the ion and electron are re-combined within the discharge space to be almost completely neutralized.

ii) Address period

[0036] While (c~d) electrode X has the voltage V_{ax} and the electrodes Y_2 to Y_n and the electrodes YD_1 and YD_2 of non-selection have a non-selection voltage $-V_{sc}$, a scan pulse of a selection voltage $-V_y$ is applied to the selected electrode Y_1 and an address pulse of a write voltage V_a is applied to the address electrode A which corresponds to a to-be-turned-on pixel. The reason why the non-selection electrodes Y_2 to Y_n are made to have a negative voltage is because the power consumption is reduced by lowering the

write voltage V_a which has a large number of pulses. The reason why the electrodes YD1 and YD2 are made to have a negative voltage is for making its configuration simpler.

[0037] By this, the address discharge is generated between the electrodes A and Y1 only for the cells which turn on the first selection line. And this triggers to generate the discharge between the electrodes X1 and Y1 and to respectively generate a sufficient amount of negative and positive wall charges, with which the sustain discharge can be performed later, in the electrode X side and the electrode Y side. Hereinafter, the same operation as the above for the electrodes Y2 to Yn is performed one by one.

[0038] Because the electrode YD1 and the electrode YD2 are not selected, the wall charge required for the sustain discharge is not accumulated in the dummy row.

iii) Sustain discharge period

While (d~e) address electrode A is made to be $V_e = V_s/2$ and the electrode X is made to be 0V, a sustain pulse of the sustain voltage V_s is applied to the electrodes Y, YD1 and YD2. The reason why the address electrode A is made to be $V_e = V_s/2$ is because the deterioration of the fluorescent substance is prevented by removing the electric field formed by the negative wall charge which is generated in the address electrode side by the address discharge and by reducing the ion which comes to the address electrode upon the sustain discharge. The reason why the pulse of the sustain voltage V_s is also applied to the electrodes YD1 and YD2 is for simplifying its configuration.

[0039] Only for the pixels which are written during the address period, the sum of the applied voltage between the electrodes Y and X and the wall voltage is higher than the sustain discharge inception voltage, the sustain discharge is generated to emit light, and the wall charge of reverse polarity is generated to complete the discharge. While (e~) electrodes Y, YD1 and YD2 is made to be 0V, the sustain pulse of the sustain voltage Vs is applied to the electrode X.

[0040] Hereinafter, the sustain discharge as above is periodically repeated. In the end of the sustain discharge period, the wall voltage is made to have the same polarity as the entire write pulse in the beginning of the next reset period. According to the first embodiment of the present invention, the entire write discharge and the erasure discharge following this are performed even for the dummy electrode outside the effective display area which is a transmission place of the charge that becomes the cause of the mis-discharge, on the other hand, the scan which becomes the cause of the charge transmission of an address electrode direction is not performed for the dummy electrode, thus the wall charge accumulated around the border of the effective display area of the address electrode is effectively neutralized to prevent the accidental mis-discharge.

[0041] Further, upon the entire write discharge, the address electrode A becomes a cathode and the electrode X becomes an anode, thus the positive ion is drawn to the address electrode and the negative wall charge accumulated

around the border of the effective display area of the address electrode is effectively neutralized. Further, the drive circuit of the electrode YD1 and the electrode YD2 is the same as the drive circuit of the electrodes Y1 to Yn, and only simplified to be non-selected in the address period, thus it is not necessary to add a circuit of a special configuration or to supply a special data. The driver 2521 for the dummy electrodes YD1 and YD2 is added, the dummy electrodes YD1 and YD2 are connected in the same manner as the electrodes Y1 to Yn, and because it is good if the dummy electrodes XD1 and XD2 are connected in the same manner as the electrodes X1 to Xn, there is required no special process for preventing the mis-discharge around the border of the effective display area of the address electrode and it is suitable for mass production, in relation to the fabrication of the PDP 21.

[Second embodiment]

[0042] In a second embodiment of the present invention, the electrode outside of the display area of FIG. 1 is not connected to the drive circuit, and a scan sequence of the electrodes Y1 to Yn in the address period is reversely made for each field instead thereof. FIG. 5 represents a frame composition and the scan sequence of display lines 1 to n (electrodes Y1 to Yn).

[0043] Brightness is determined by the frequency of the sustain pulse in the sustain discharge period, thus, as shown in FIG. 18, one frame is divided into 8 subfields SF1 to SF8 and the ratio of the sustain discharge period of the subfields SF1 to SF8 is 1:2:4:8:16:32:64. Hereby, 256 gray level display can be performed. If the screen is renewed

at 60 Hz, one frame is 16.7ms.

[0044] In the address period, the electrode Y is scanned in an order of the display lines 1 to n in odd-numbered subfields SF1, SF3, SF5 and SF7, and on the contrary, the electrode Y is scanned in an order of the display lines n to 1 in even-numbered subfields SF2, SF4, SF6 and SF8. An electrode applying voltage waveform of the odd-numbered subfield is the same as in FIG. 3. But, no voltage is applied to the dummy electrodes YD1 and YD2. FIG. 6 represents an electrode applying voltage waveform in the even-numbered subfield. The waveform can be obtained by shifting the shift register 251 of FIG. 1 in a reverse direction.

[0045] FIG. 4 represents a scan driver 25A of the second embodiment corresponding to the scan driver 25 of FIG. 1. The scan driver 25A includes a selector 253 having n number of 2 input selectors to the n bit shift registers 251A and 251B of the same configuration, and a driver 252 for the electrodes Y1 to Yn. The first to nth output bits of the shift register 251 are respectively supplied to the input terminals of the first to nth selectors of the selector 253, and the nth to first output bits of the shift register 251B are respectively supplied to the input terminals of the first to nth selectors of the selector 253.

[0046] In case of scanning from the first display line to the final display line (forward direction), the selector 253 selects the output of the shift register 251A by a selection signal from the control circuit 27, and the parallel output of the shift register 251A is drawn out

from the selector 253. In the shift register 251A, '1' is supplied to the series data input terminal to be shifted by a shift pulse. In case of scanning from the final display line to the first display line (reverse direction), the selector 253 selects the output of the shift register 251B by a selection signal from the control circuit 27, and the parallel output of the shift register 251B is drawn out from the selector 253. In the shift register 251B, '1' is supplied to the series data input terminal to be shifted by a shift pulse.

[0047] N outputs of the selector 253 are supplied to the data input terminal of n constituent units of each driver 252. Hereby, the electrodes Y1 to Yn are selected one by one in a direction corresponding to the selection signal. According to the second embodiment of the present invention, the transmission direction of the positive ion and electrons of which directions are different from each other shown in FIG. 12 is reversed by reversing the scan direction, thus it is neutralized before the wall charge which is transmitted along the address electrode and remains around the border of the effective display area is abnormally accumulated, thereby enabling to prevent the accidental mis-discharge from being generated.

[0048] Further, it is not necessary to have a power drive circuit for the dummy electrode, thus the manufacturing cost and power consumption can be reduced more in this embodiment than in the first embodiment.

[Third embodiment]

The configuration of the PDP is studied by

paying attention to the cause for the mis-discharge generation of FIG. 12, thus it is possible to effectively prevent the mis-discharge by use of the drive circuit of the related art. FIG. 7 illustrates a partial cross section according to an address electrode of the PDP as a third embodiment of the present invention.

[0049] In the PDP, the fluorescent substance on the address electrode A1 around the border of the effective display area of the first display line side, i.e., around an area between the electrodes Y1 and X1 or outside the effective display area, is partially removed from the fluorescent substance 181 of FIG. 10, thereby forming an address electrode exposure part 19. According to this configuration, the charge transmitted in the address electrode direction to be accumulated around the border of the effective display area is escaped into the address electrode through the address electrode exposure part 19, thereby preventing the accidental mis-discharge by the abnormal accumulation of the wall charge. Further, it is possible to use the related art drive circuit.

[0050] As described above, the accidental mis-discharge is generated irrespective of the presence or absence of the dummy pixel, thus the third embodiment can be applied regardless of whether or not the dummy pixel exists outside the effective display area.

[Fourth embodiment]

FIG. 8 illustrates a partial cross section of the PDP according to a fourth embodiment of the present invention and corresponds to FIG. 7.

[0051] In the PDP, a metal film 30 is deposited outside the effective display area on the fluorescent substance 181 or at least in a part around the border of the effective display area instead of forming the address electrode exposure part 19. The metal film 30 is connected to the address electrode A1 or to a ground line by forming a contact hole in the fluorescent substance 181. The same effect as FIG. 7 can also be obtained by such a configuration.

[0052] Further, this invention includes variations of embodiments other than these. For example, it is good if the dummy electrode connected to the drive circuits 25 and 26 of FIG. 1 is more than a pair.

[Brief description of the drawings]

FIG. 1 is a block diagram illustrating a brief configuration of a plasma display device of a first embodiment of the present invention;

FIG. 2 is a circuit diagram of a constituent unit of an electrode Y driver of FIG. 1;

FIG. 3 is a waveform diagram of an electrode applying voltage illustrating a driving method of a PDP of FIG. 1;

FIG. 4 is a block diagram of a scan driver of a second embodiment of the present invention;

FIG. 5 is a diagram illustrating a frame composition and a scan sequence of a second embodiment of the present invention;

FIG. 6 is a waveform diagram of an electrode

applying voltage in case of scanning in a reverse direction;

FIG. 7 is a partial cross sectional diagram according to an address electrode of a PDP of a third embodiment of the present invention;

FIG. 8 is a partial cross sectional diagram according to an address electrode of a PDP of a fourth embodiment of the present invention;

FIG. 9 is a brief plan view of a surface discharge AC type PDP;

FIG. 10 is a perspective plan view illustrating a state that a gap between opposite surfaces of a color pixel of the PDP of FIG. 9 is enlarged;

FIG. 11 is a cross sectional diagram according to an electrode X1 in the color pixel of the PDP of FIG. 9; and

FIG. 12 is a explanatory diagram of a process which is considered as a cause for generating an accidental mis-discharge.

[Reference numerals]

181A, 181B:	fluorescent substance
19:	address electrode exposure part
20:	plasma display device
21:	PDP
23:	address driver
231, 251A, 251B, 251:	shift register
232:	latch circuit
233, 252, 2532:	driver
253:	selector